

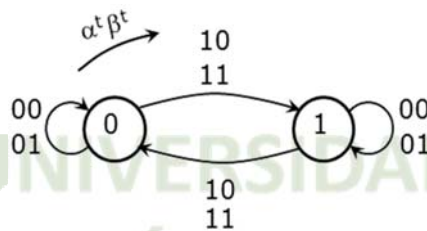
SOLUCIÓN

Rodee con un círculo la respuesta correcta.

Puntuación: según baremo publicado.

(Bien: +1'7 puntos; Mal: -0'5 puntos; 3ª y sucesivas NC: -0.5 puntos)

Cuestión 1: Diseñe un contador \overline{U}/D DOWN Binario Natural de módulo 4 con biestables cuyo funcionamiento se muestra en el grafo o diagrama de flujo de la figura adjunta.

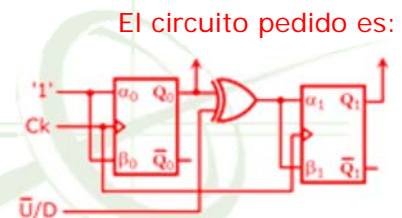


SOLUCIÓN

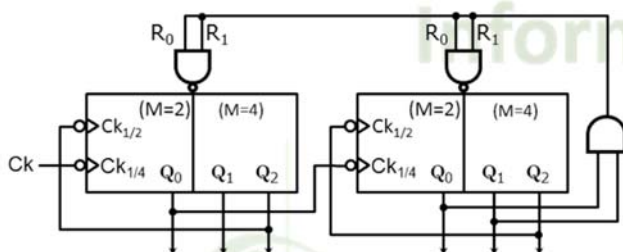
En primer lugar, se obtiene lugar la tabla de transiciones del contador pedido y la de excitación teniendo en cuenta los biestables dados y de ahí se calculan (mediante los mapas de Karnaugh necesarios) las ecuaciones de entrada a los biestables.

\overline{U}/D	Q_1^t	Q_0^t	Q_1^{t+1}	Q_0^{t+1}	α_1	β_1	α_0	β_0
0	0	0	0	1	0	X	1	X
0	0	1	1	0	1	X	1	X
0	1	0	1	1	0	X	1	X
0	1	1	0	0	1	X	1	X
1	0	0	1	1	1	X	1	X
1	0	1	0	0	0	X	1	X
1	1	0	0	1	1	X	1	X
1	1	1	1	0	0	X	1	X

Luego:
 $\alpha_1 = \overline{U}/D \oplus Q_0^t$
 $\alpha_0 = '1'$
 $\beta_1, \beta_0 \equiv \text{Indiferente}$



Cuestión 2: En el circuito de la figura y considerando que los contadores de módulo doble funcionan según se indica en la tabla adjunta y que Q_2 es la salida más significativa en ambos contadores de módulo 4. Indicar la división de frecuencia que hace, si la hace.



R_1	R_0	Funcionamiento
0	X	Contador de módulo doble
X	0	Contador de módulo doble
1	1	Clear asíncrono

SOLUCIÓN

Observando cómo están conectadas las entradas de reloj en ambos contadores, se deduce que el circuito es un contador ascendente asíncrono de 6 bits en Binario Natural (o de módulo 64) si no se tiene en cuenta la "lógica" de corte.

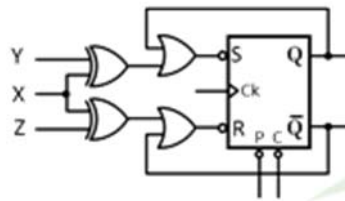
Para calcular la secuencia real, hay que detectar cual es el estado de corte. Teniendo en cuenta el circuito, se reordenan las salidas según su peso como sigue, y teniendo en cuenta que el código de cuenta es el binario natural:

Contador dcho.			Contador izdo.		
+ Peso	→	→	→	→	- Peso
Q ₀	Q ₂	Q ₁	Q ₀	Q ₂	Q ₁
1	X	1	X	X	X
1	0	1	0	0	0

(Binario Natural) = 40 : Estado de corte

Y dado que la inicialización o puesta a cero (asíncrona) de ambos contadores se realiza en el estado "40", se tiene un contador de módulo 40 o un divisor de frecuencia por 40 (en la salida de la puerta AND o salida Q₀ del contador de la derecha, indistintamente).

Cuestión 3: Considerando el biestable ABC de la figura, podemos afirmar que:



SOLUCIÓN

Considerando el diagrama de flujo de un biestable RS y que las entradas son activas a nivel bajo, se obtiene la tabla de transiciones simplificada siguiente del biestable:

S	R	Q(t+1)	S	R	Q(t+1)
0	0	Q(t)	0	0	N. P.
0	1	0	0	1	1
1	0	1	1	0	0
1	1	N. P.	1	1	Q(t)

Y por ser activas a nivel bajo las entradas:

Del circuito, se obtiene: $S = (X \oplus Y) + Q(t)$ $R = (X \oplus Z) + \overline{Q(t)}$ y se construye su tabla de transiciones del circuito:

X	Y	Z	Q(t)	S	R	Q(t+1)	X	Y	Z	Q(t)	S	R	Q(t+1)
0	0	0	0	0	1	1	1	0	0	0	1	1	0
0	0	0	1	1	0	0	1	0	0	1	1	1	1
0	0	1	0	0	1	1	1	0	1	0	1	1	0
0	0	1	1	1	1	1	1	0	1	1	1	0	0
0	1	0	0	1	1	0	1	1	0	0	1	1	1
0	1	0	1	1	0	0	1	1	0	1	1	1	1
0	1	1	0	1	1	0	1	1	1	0	0	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0	0

SOLUCIÓN

Rodee con un círculo la respuesta correcta.

Puntuación: según baremo publicado.

(Bien: +1'7 puntos; Mal: -0'5 puntos; 3ª y sucesivas NC: -0.5 puntos)

De donde, se obtiene la tabla de transiciones simplificada:

X	Y	Z	Q(t+1)
0	0	0	$\overline{Q(t)}$
0	0	1	1
0	1	0	0
0	1	1	Q(t)

X	Y	Z	Q(t+1)
1	0	0	Q(t) (*)
1	0	1	0
1	1	0	1
1	1	1	$\overline{Q(t)}$ (*)

Analizando la tabla anterior, se observa (transiciones marcadas con *) que el circuito funciona como un biestable T cuando $X = '1'$ e $Y = Z (= T)$.

Cuestión 4: Diseñar el generador de secuencia: Sec = "0110" con una única puerta lógica básica y un registro de desplazamiento de izquierda a derecha (ES → Qa → .. → Qz) de 2 bits.

SOLUCIÓN

Como la secuencia tiene cuatro elementos, cuatro estados, se realiza el estudio teórico con un registro de dos bits.

Primero se pone la secuencia como salida del último biestable para, posteriormente, copia esta información "desplazada" al biestable anterior (pues, no hay que olvidar que es un registro de desplazamiento por lo que la información que en el instante t_n está en un biestable, en el instante anterior t_{n-1} estaba en el biestable de su izquierda).

Con ello, se realiza el DF para comprobar que no hay repetición de estados ni bucles (como ocurre en este caso), por lo cual, se puede realizar la implementación. Se construye la tabla de transiciones y, teniendo en cuenta que los registros se hacen con biestables D, se calcula la entrada serie mediante la ecuación de excitación de un biestable D, que es lo pedido.

(1) Secuencia:

Q _A '	Q _B '	Q _A ^{t+1}	Q _B ^{t+1}
0			
1			
1			
0			

(2) Previo:

Q _A '	Q _B '	Q _A ^{t+1}	Q _B ^{t+1}
1	0		
1	1		
0	1		
0	0		

(3) DF:



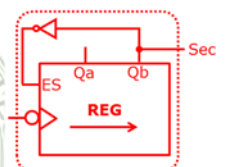
(4) Est. Sig.

Q _A '	Q _B '	Q _A ^{t+1}	Q _B ^{t+1}
1	0	1	1
1	1	0	1
0	1	0	0
0	0	1	0

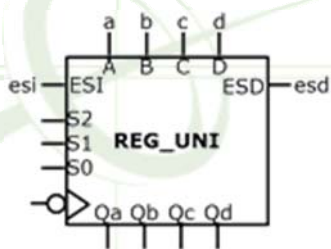
(5) $Q_A^{t+1} = D_A' = ES$

Q _A '	Q _B '	ES
1	0	1
1	1	0
0	1	0
0	0	1

De donde se obtiene que la entrada serie (ES) es la negada de la salida del último biestable, por donde sale la secuencia. Por tanto, el circuito pedido es:



Cuestión 5: Dado un siguiente registro universal cuyo funcionamiento, totalmente síncrono, se describe en la tabla de funcionamiento mostrada:



S2	S1	S0	Qa	Qb	Qc	Qd
0	0	0	0	0	0	0
0	0	1	a	b	c	d
0	1	0	esi	Qa	Qb	Qc
0	1	1	Qb	Qc	Qd	esd
1	X	X	Qa	Qb	Qc	Qd

Indicar que valores debe tomar cada señal de control para que tenga el contenido indicado en la siguiente tabla de ejecución en cada periodo de reloj:

Periodo	S2	S1	S0	ESI	ESD	A	B	C	D	Qa	Qb	Qc	Qd
T0				0	1	1	0	0	1	0	1	1	0
T1				0	1	1	0	0	1	0	0	0	0
T2				0	1	1	0	0	1	1	0	0	1
T3				0	1	1	0	0	1	0	0	1	1
T4				0	1	1	0	0	1	0	0	1	1
T5				0	1	1	0	0	1	0	0	0	1
T6				0	1	1	0	0	1	0	0	0	1

SOLUCIÓN

Analizando la tabla de funcionamiento del registro, se determinan los valores de las señales para cada tipo de funcionamiento, en concreto:

S2	S1	S0	Qa	Qb	Qc	Qd	Funcionamiento:
0	0	0	0	0	0	0	Reset (o puesta a "0") síncrono
0	0	1	a	b	c	d	Carga paralela (de datos)
0	1	0	esi	Qa	Qb	Qc	Desplazamiento serie de izquierda a derecha
0	1	1	Qb	Qc	Qd	esd	Desplazamiento serie de derecha a izquierda
1	X	X	Qa	Qb	Qc	Qd	Manteniendo la información ("stand by")

Teniendo en cuenta esta información, se puede rellenar la tabla pedida con los valores adecuados teniendo en cuenta el estado en el que está el registro (su contenido) y al que se quiere llegar (actualización del contenido), determinando que función debe realizarse sobre el registro para conseguir este funcionamiento. Luego:

Periodo	ESI	ESD	A	B	C	D	Qa	Qb	Qc	Qd	Función a realizar:	S2	S1	S0
T0	0	1	1	0	0	1	0	1	1	0	Reset	0	0	0
T1	0	1	1	0	0	1	0	0	0	0	Carga paralela	0	0	1
T2	0	1	1	0	0	1	1	0	0	1	Disp. serie D→I	0	1	1
T3	0	1	1	0	0	1	0	0	1	1	Stand by	1	X	X
T4	0	1	1	0	0	1	0	0	1	1	Disp. serie I→D	0	1	0
T5	0	1	1	0	0	1	0	0	0	1	Stand by	1	X	X
T6	0	1	1	0	0	1	0	0	0	1	--	--	--	--

SOLUCIÓN

Rodee con un círculo la respuesta correcta.

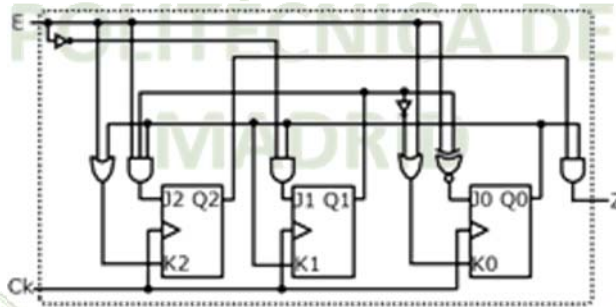
Puntuación: según baremo publicado.

(Bien: +1'7 puntos; Mal: -0'5 puntos; 3ª y sucesivas NC: -0.5 puntos)

Por ejemplo, estando en T0 el contenido del registro es "0110". Cuando se de el flanco de bajada (se pasará a T1) se desea que el contenido sea "0000" por lo tanto, habrá que hacer un *Reset* (para lo cual, $S_2=S_1=S_0='0'$).

Ahora, se desea que en T2 el contenido sea "1001", que justo coincide con los valores de las señales de datos, por lo que se deberá realizar una carga paralela.

Cuestión 6: Analizar el circuito indicando su DF, usando la leyenda mostrada.



SOLUCIÓN

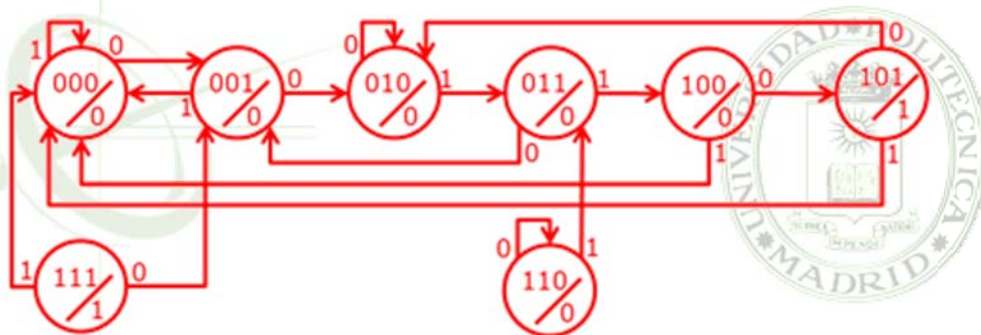
Analizando el circuito se tiene que:

$$J_2 = E Q_1 Q_0 \quad K_2 = E + Q_0 \quad J_1 = \overline{E} Q_0 \quad K_1 = Q_0 \quad J_0 = \overline{E} \oplus \overline{Q_1} \quad K_0 = E + \overline{Q_1} \quad Z = Q_2 Q_0$$

A partir de ello, se puede construir la tabla de transiciones del circuito:

E	Q2'	Q1'	Q0'	J2	K2	J1	K1	J0	K0	Q2 ⁺	Q1 ⁺	Q0 ⁺	Z
0	0	0	0	0	0	0	0	1	1	0	0	1	0
0	0	0	1	0	1	1	1	1	1	0	1	0	0
0	0	1	0	0	0	0	0	0	0	0	1	0	0
0	0	1	1	0	1	1	1	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	1	1	0	1	0
0	1	0	1	0	1	1	1	1	1	0	1	0	1
0	1	1	0	0	0	0	0	0	0	1	1	0	0
0	1	1	1	0	1	1	1	0	0	0	0	1	1
1	0	0	0	0	1	0	0	0	1	0	0	0	0
1	0	0	1	0	1	0	1	0	1	0	0	0	0
1	0	1	0	0	1	0	0	1	1	0	1	1	0
1	0	1	1	1	1	0	1	1	1	1	0	0	0
1	1	0	0	0	1	0	0	0	1	0	0	0	0
1	1	0	1	0	1	0	1	0	1	0	0	0	1
1	1	1	0	0	1	0	0	1	1	0	1	1	0
1	1	1	1	1	1	0	1	1	1	0	0	0	1

De donde, el DF pedido es:



UNIVERSIDAD POLITÉCNICA DE MADRID



ETSI de Sistemas Informáticos

